

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-016275**
 (43)Date of publication of application : **23.01.1988**

(51)Int.Cl.

G01R 31/28
G06F 11/22

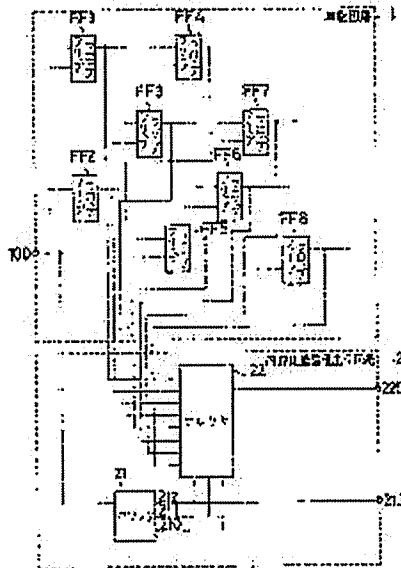
(21)Application number : **61-161102**(71)Applicant : **NEC CORP**(22)Date of filing : **08.07.1986**(72)Inventor : **KANO ATSUSHI**

(54) INTEGRATED CIRCUIT WITH INTERNAL STATE MONITORING OUTPUT CIRCUIT

(57)Abstract:

PURPOSE: To monitor an internal state and to facilitate the check defected analysis of operation by selecting and outputting states of flip-flops in an integrated circuit successively.

CONSTITUTION: The integrated circuit which uses a constant-period clock has a counter which counts a clock, a selector 22 which selects flip-flops FF1WFF8 in the integrated circuit, and an output terminal 213 for the most significant digit bit of the counter 21. Then, the respective outputs 210W212 of the counter 21 are inputted to the selector 22 and the states of the flip-flops FF1WFF8 are selected with those outputs 210W212 and outputted from the output terminal 220. The output 212 of the most significant digit bit of the counter 21 is outputted from an output terminal 213 and which flip-flop is selected is known by checking the clock and the output terminal 213 of the counter 21.



◎日本国特許庁 (JP) ◎特許出願公開
 ◎公開特許公報 (A) 昭63-16275

◎Int.Cl. ⁴ G 01 R 31/28 G 06 F 11/22	識別記号 3 6 0	序内整理番号 P - 7807-2G R - 7368-5B	◎公開 昭和63年(1988)1月23日 審査請求 未請求 発明の数 1 (全3頁)
---	---------------	--------------------------------------	---

◎発明の名称 内部状態監視出力回路付集積回路
 ◎特 願 昭61-161102
 ◎出 願 昭61(1986)7月8日
 ◎發明者 加納淳 東京都港区芝5丁目33番1号 日本電気株式会社内
 ◎出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ◎代理人 弁理士内原晋

明細書

1.発明の名称

内部状態監視出力回路付集積回路

2.特許請求の範囲

一定の周期のクロックを用いる集積回路において、

前記クロックをカウントするカウンタと、カウンタの値により集積回路の内部のフリップフロップの出力をセレクトするセレクタと、セレクタ出力端子と、カウンタの最上位ビットの出力端子とを有することを特徴とする内部状態監視出力回路付集積回路。

3.発明の詳細な説明

(産業上の利用分野)

本発明は、一定の周期のクロックを用いる集積回路に関する。

(従来の技術)

従来、この種の集積回路では、機能に必要なだけの出力しかなかった。

(発明が解決しようとする問題点)

上述した従来の集積回路は、機能に必要なだけの出力しかなかったので、なんらかの原因で動作が異常になった場合でも内部の状態がわからず、その原因を発見するのが困難であるという欠点がある。

(問題点を解決するための手段)

本発明の集積回路は、クロックをカウントするカウンタと、カウンタの値により集積回路の内部のフリップフロップの出力をセレクトするセレクタと、セレクタ出力端子と、カウンタの最上位ビットの出力端子とを有することを特徴とする。

セレクタ出力端子からは各フリップフロップの状態が順次、出力される。セレクタ出力端子から現在、出力されているのがどのフリップフロップかはクロックとカウンタの最上位ビットの出力端子を見ることによって知ることができます。これは、監視するフリップフロップの数が増えてカウンタのビット数が増えても内部状態監視出力回路の出力端子の数を増えないようにするためである。

特開昭63-16275 (2)

【実施例】

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の基積回路の一実施例のプロック図、第2図はそのタイミングチャートである。

機能回路1は基積回路の機能を実現するための回路で、一定の周期のクロックを入力するクロック入力端子100を有し、アリップフロップFF1、FF2、…、FF8で構成されている。内部状態監視出力回路2は基積回路の内部状態を監視する回路で、前記クロックをカウントする3ビットのバイナリカウンタ21と、バイナリカウンタ21のバイナリ出力210、211、212によって8個のアリップフロップFF1～FF8の出力をセレクトするセレクタ22と、カウンタ21の最上位ビット212の出力端子213と、セレクタ22の出力端子220で構成されている。

クロック入力端子100より入力したクロックはカウンタ21でカウントされ、カウンタ21の各出力210、211、212は第2図のように変化し、セレクタ

より、内部の状態を監視することができ、動作のチェック不正解析が容易になるという結果がある。

1. 図面の簡単な説明

第1図は本発明の基積回路の一実施例のプロック図、第2図は第1図の実施例のタイミングチャートである。

1…機能回路、

2…内部状態監視出力回路、

FF1～FF8…アリップフロップ、

21…カウンタ、

22…セレクタ、

100…クロック入力端子、

220…セレクタ出力端子、

210、211、212…カウンタ21の出力、

213…カウンタ21の最上位ビットの出力端子。

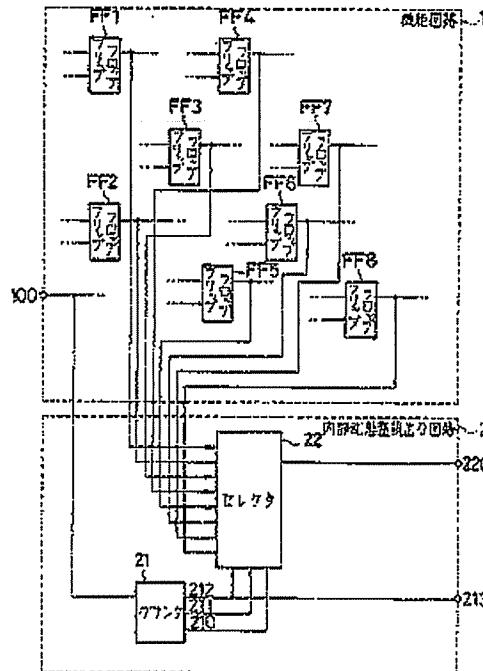
22のセレクト入力に入力する。機能回路1内部のアリップフロップFF1～FF8の状態はこれら出力210、211、212によって第2図のようにセレクトされ、出力端子220から基積回路外部に出力される。

一方、カウンタ21の最上位ビットの出力212も出力端子213から基積回路外部に出力されており、どのアリップフロップがセレクトされているかは、クロックおよびカウンタ21の出力端子213を見ることによって知ることができる。これにより、基積回路内部の各アリップフロップFF1～FF8の状態を観察することができる。

本実施例ではアリップフロップが8個の場合であるが、アリップフロップの数が任意の数個であってもカウンタのビット数を2ⁿ進田を満足するようにすれば実現できる。

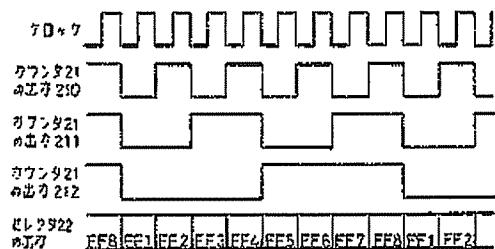
【発明の効果】

以上説明したように本発明は、基積回路内部のアリップフロップの状態を順次出力することに



第1図

特開昭63-16275 (3)



第 2 図